

EXAMEN DE TECNOLOGÍA DE COMPUTADORES

Conv. Extraordinaria 15 Junio 2001

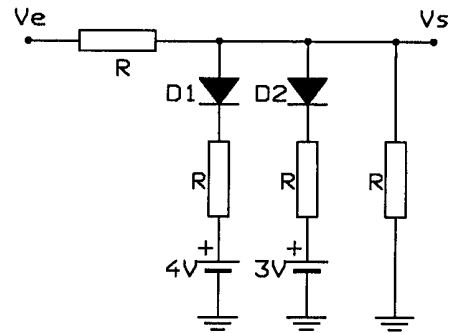
Apellidos: _____ Nombre: _____

Cuestiones de TEORÍA (3.5 PUNTOS). Puntuación: BIEN +0.5, MAL -0.1, N.C 0

1. Dado el circuito de la figura, si la tensión de entrada es $V_e=5V$, podemos afirmar que la tensión de salida V_s vale: (Nota: Suponer diodos ideales ($V_\gamma=0V$), el valor de $R = 5k\Omega$)

- [A] 2.5V
- [B] 3V
- [C] 4V
- [D] 5V

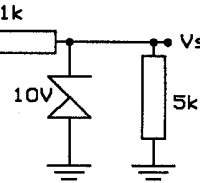
$$\begin{aligned} D1 &= \text{OFF} \\ D2 &= \text{OFF} \end{aligned} \left. \vphantom{\begin{aligned} D1 \\ D2 \end{aligned}} \right\} V_s = \frac{V_e}{2} = 2.5V$$



2. En el circuito regulador de tensión siguiente, ¿cuáles serán los límites mínimo y máximo de la tensión de entrada para que funcione correctamente el circuito?

- [A] 12V y 30V
- [B] 14V y 32V
- [C] 12V y 32V
- [D] 10V y 20V

$$\begin{aligned} V_{e\text{MIN}} &= V_z + 1k(I_{Z\text{MIN}} + 2\text{mA}) \\ &= 10 + 4 = 14V \\ V_{e\text{MAX}} &= V_z + 1k(I_{Z\text{MAX}} + 2\text{mA}) \\ &= 10 + 22 = 32V \end{aligned}$$



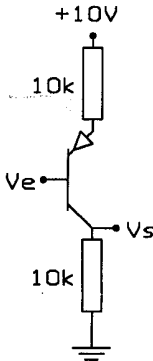
Datos del Zener:
 $V_\gamma = 0V$
 $I_{Z\text{MIN}} = 2\text{mA}$
 $I_{Z\text{MAX}} = 20\text{mA}$

3. En el circuito de la figura, ¿Qué tensión de entrada V_e dejará al transistor en el límite entre saturación y zona activa? ¿Cuál será la V_s correspondiente? (suponer I_B despreciable).

Datos: $|V_{CESAT}| = 0.2V$; $|V_{BE(ON)}| = 0.7V$

- [A] $V_e=5.7V, V_s=5V$
- [B] $V_e=4.8V, V_s=5.2V$
- [C] $V_e=4.4V, V_s=4.9V$
- [D] Me faltan datos.

$$\begin{aligned} I_{C\text{LIM}} &= \frac{10V - 0.2V}{20k} = \frac{9.8V}{20k} = 0.49\text{mA} \\ V_e &= 10V - 10k \cdot 0.49\text{mA} - 0.7V = 10 - 4.9 - 0.7 \\ &= 4.4V \\ V_s &= 10k \cdot 0.49\text{mA} = 4.9V \end{aligned}$$

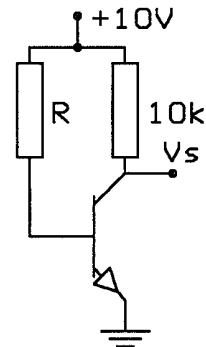


4. ¿Qué valor de la resistencia R producirá una $V_s=5V$ en el siguiente circuito?

Datos: $\beta=50$; $V_{BE(ON)}=0.7V$

- [A] $1M\Omega$
- [B] $930k\Omega$
- [C] $100k\Omega$
- [D] $500k\Omega$

$$\begin{aligned} I_C &= \frac{5V}{10k} = 0.5\text{mA} \\ I_B &= \frac{I_C}{\beta} = \frac{0.5\text{mA}}{50} = 10\mu A \\ R &= \frac{10V - 0.7V}{10\mu A} = \frac{9.3V}{10\mu A} = 930k\Omega \end{aligned}$$



5. Con relación a la familia lógica CMOS, indicar cuál de las siguientes afirmaciones es correcta:

- [A] El consumo dinámico es independiente de la tensión de alimentación.
- [B] La subfamilia ACMOS es más lenta que la familia CMOS estándar.
- [C] El producto (consumo x retardo) es peor que el de las subfamilias LSTTL y ALSTTL, debido al mayor retardo de propagación.
- [D] Para una tensión de alimentación $V_{DD} = 5V$, los límites de los niveles lógicos vienen definidos por los siguientes valores: $V_{IH(\text{min})} = 3.5V, V_{IL(\text{max})} = 1.5V$.

6. Acerca de la puerta de transmisión CMOS, señale la afirmación VERDADERA:

- [A] Cuando la tensión de control = "0", ambos transistores conducen.
- [B] El terminal de sustrato del PMOS está conectado a V_{DD} .
- [C] El transistor NMOS transmite el "1" sin degradación (suponiendo que la puerta de transmisión conduce).
- [D] Todas las anteriores son falsas.

7. Se quiere conectar la salida de una puerta HCMOS con puertas LSTTL. Suponiendo que la puerta HCMOS está alimentada a 5V, y considerando los parámetros de entrada/salida que muestran las tablas adjuntas, señalar la afirmación correcta:

$$|I_{OL}|/|I_{IL}| = \frac{4\text{mA}}{0.4\text{mA}} = 10$$

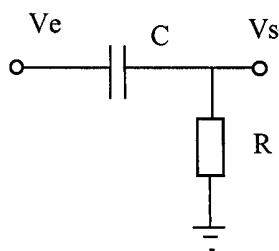
LSTTL		HCMOS	
V_{IHmin}	2.0 V	V_{OHmin}	3.84 V
V_{ILmax}	0.8 V	V_{OLmax}	0.33 V
I_{IHmax}	20 μA	I_{OHmax}	-4 mA
I_{ILmax}	-0.4 mA	I_{OLmax}	4 mA

- [A] Hace falta intercalar un buffer HCMOS para adaptar las corrientes.
- [B] Hace falta intercalar un buffer HCMOS con drenador abierto, para adaptar los niveles lógicos.
- [C] Se puede conectar directamente una puerta LSTTL como máximo.
- [D] Se pueden conectar directamente hasta 10 puertas LSTTL.

TENSIONES: $V_{OHmin} (HCMOS) > V_{IHmin} (LSTTL)$ // $V_{OLmax} (HCMOS) < V_{ILmax} (LSTTL)$ // $I_{OH1}/I_{IH1} = \frac{4\text{mA}}{20\text{mA}} = 200$

Cuestiones de PRÁCTICAS (2.5 PUNTOS). Puntuación: BIEN +0.25, MAL -0.05, N.C 0

1. Del circuito de la figura, estudiado en prácticas, se puede afirmar que:



- [A] Se comporta como un filtro paso-bajo.
- [B] Se comporta como un integrador, para determinadas frecuencias de la señal de entrada.
- [C] Si se conecta a la entrada una señal cuadrada, la señal de salida es senoidal.
- [D] La componente de continua (valor medio) de la señal de salida es nula, independientemente del valor de continua de la señal de entrada.

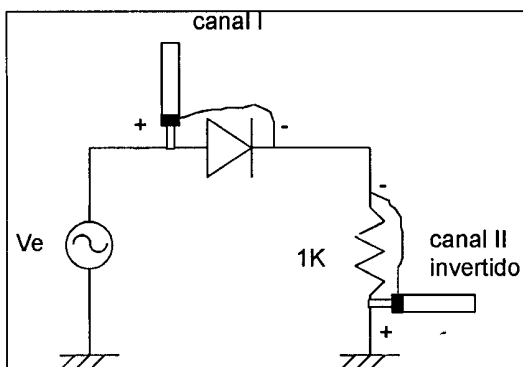
2. Al respecto de la instrumentación electrónica del laboratorio es FALSO que:

- [A] El osciloscopio visualiza valores de corriente en función del tiempo.
- [B] Los generadores de señal utilizan cable coaxial para conectarse a los circuitos.
- [C] La fuente de alimentación proporciona únicamente valores de tensión continua.
- [D] El multímetro digital permite comprobar si hay un cortocircuito entre los terminales ánodo y cátodo de un diodo.

3. En el laboratorio se pretende diseñar un circuito de polarización para probar el funcionamiento del diodo LED. Señale la afirmación INCORRECTA:

- [A] Se debe controlar la corriente por el LED en un margen aproximado de 10 a 20mA
- [B] Se debe conectar directamente la fuente de alimentación entre los terminales ánodo y cátodo del LED.
- [C] Hay que tener en cuenta que si se aplica una tensión inversa al LED, el diodo no brilla.
- [D] Hay que considerar que la tensión umbral del LED es del orden de 1.5V

4. En el montaje de la figura adjunta para obtener la curva del diodo, correspondiente a la PRÁCTICA 3, indicar la afirmación correcta:

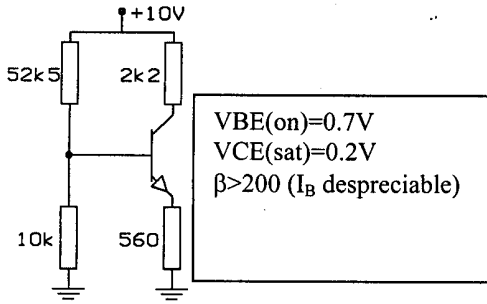


- [A] El canal I mide la corriente del diodo I_D .
- [B] El canal II invertido mide indirectamente la corriente I_D en miliamperio/voltio, debido a la resistencia de 1kΩ.
- [C] Ve es una señal senoidal de máxima amplitud con cualquier valor medio (nivel de continua).
- [D] Ve se implementa mediante la fuente de alimentación.

5. Se quiere identificar los terminales y el tipo de un transistor BJT mediante el uso de un multímetro. Se miden las siguientes resistencias: entre la patilla 2 y la 1 hay 2.78M y entre la 2 y la 3 hay 2.83M. En ambas mediciones se ha conectado el terminal positivo (rojo) del multímetro a la patilla 2. ¿Qué respuesta es correcta?

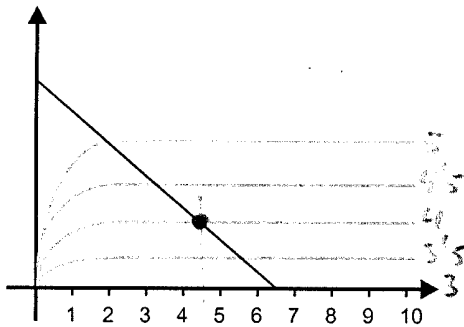
- [A] Tipo NPN. Terminales: 1 Colector, 2 Base, 3 Emisor.
- [B] La unión B-C no se puede polarizar con el multímetro del laboratorio (la pila no tiene tensión suficiente), y por lo tanto las mediciones no son correctas. Debo utilizar el multímetro en modo de medición de diodos.
- [C] Tipo NPN. Terminales: 1 Emisor, 2 Base, 3 Colector.
- [D] No hay suficientes datos.

6. A partir del circuito de polarización con divisor resistivo de la práctica 3 (ver figura adjunta), supongamos que medimos con el polímetro la tensión entre colector y emisor. Supongamos que obtenemos un valor de 10V, en lugar de los aproximadamente 5V previstos (el punto Q en el centro de la recta de carga). El motivo de este funcionamiento anómalo del montaje puede ser:



- [A] La fuente de alimentación está apagada.
- [B] La resistencia de 52kΩ se ha cortocircuitado y el transistor se satura.
- [C] Se ha utilizado por error una resistencia de 1kΩ en lugar de la de 10kΩ.
- [D] Se ha utilizado por error una resistencia de 1kΩ en lugar de la de 52kΩ.

7. A partir de las curvas características y la instrucción del simulador PSpice. ¿Cuál será la V_{DS} cuando $V_{GS} = 4V$?



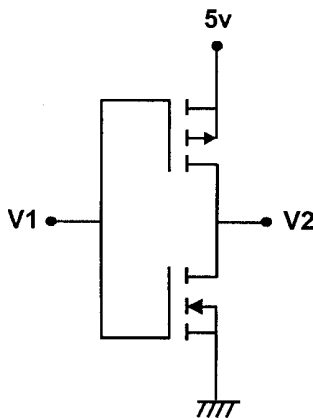
```
.DC VDS 0 10 0.2 VGS 0 5 0.5
```

- [A] 4,5V.
- [B] 8V.
- [C] 5,75V.
- [D] 3,2KΩ.

8. A partir de la cuestion anterior ¿Cuándo comienza a conducir el transistor MOSFET?

- [A] Cuando $V_{ds} > 2V$ y $V_{gs} > 1,5V$.
- [B] Cuando $V_{gs} > 1V$ y $V_{ds} > 0V$.
- [C] Cuando $V_{gs} > 3V$ y $V_{ds} > 0V$.
- [D] Cuando $V_{ds} > 0V$ y $V_{gs} > 2V$.

9. Dado el siguiente circuito y su código equivalente en PSpice. ¿Que señal obtendríamos en V2 utilizando el visualizador gráfico del PSpice?.



```
VCC 1 0 DC 5
V1 2 0 DC 7
M1 3 2 1 1 m1
M2 3 2 0 0 m2
.MODEL m1 PMOS (VTO=-2 KP=0.4m)
.MODEL m2 NMOS (VTO=2 KP=0.4m)
.DC V1 0 5 0.01
.OP
.PROBE
.END
```

- [A] Un tren de pulsos invertidos.
- [B] La señal inversa de la introducida en V1.
- [C] La curva de transferencia.
- [D] Una señal plana de 0 Voltios.

10. ¿Cómo modificarías el código de PSpice para obtener una respuesta gráfica del circuito en los primeros 500 milisegundos?

- [A] Sustituyendo `.DC V1 0 5 0.01` por `.DC V1 0 5 500m`.
- [B] Añadiendo `.TRAN 1 500m`.
- [C] Sustituyendo `.DC V1 0 5 0.01` por `.TRAN 5m 500m` y `V1 2 0 DC 7` por `V1 2 0 PULSE (0 5 0n 10u 10u 100m 200m)`.
- [D] Quitando `.OP` y añadiendo `PWL (95m 0 100m 5 205m 0 295m 0 300m 5 400m 5 405m 0 500m 0)`.

EXAMEN DE TECNOLOGÍA DE COMPUTADORES

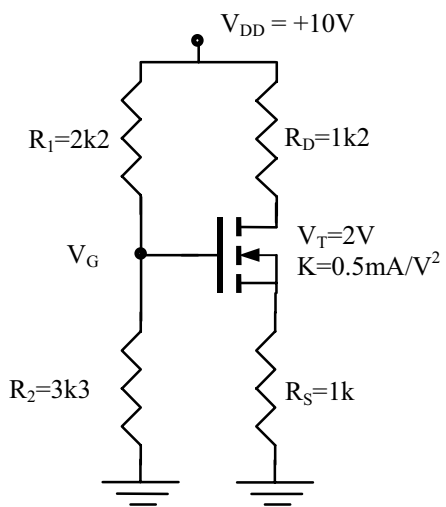
15 Junio 2001

Problema 1 (2 Puntos) Apellidos: _____ Nombre: _____

(Incluya los cálculos realizados en la parte trasera de esta hoja ó en hojas adjuntas)

Dado el circuito de la figura, se pide:

A) Calcular el punto Q del transistor FET de la figura [0.8p]



$$V_G = \frac{R_2}{R_1 + R_2} \times V_{DD} = \frac{3k3}{2k2 + 3k3} \times 10V = 6V$$

$$V_S = I_{DS}R_D; \quad V_{GS} = V_G - I_{DS}R_D; \quad V_{GS} = 6V - I_{DS} \times 1k\Omega;$$

sup. sat. $I_{DS} = K (V_{GS} - V_T)^2; \quad I_{DS} = 0.5mA/V^2 (V_{GS} - 2V)^2;$

sustituimos $I_{DS} = 0.5mA/V^2(6V - I_{DS} \times 1k\Omega - 2V)^2$

$$2I_{DS} = (4 - I_{DS})^2; \quad 2I_{DS} = 16 - 8I_{DS} + I_{DS}^2; \quad I_{DS}^2 - 10I_{DS} + 16 = 0$$

$$I_{DS} = \frac{10 \pm \sqrt{100 - 64}}{2} = \frac{10 \pm 6}{2} = \begin{cases} 8mA \rightarrow V_{GS} = -2 \\ 2mA \rightarrow V_{GS} = 4V \end{cases}$$

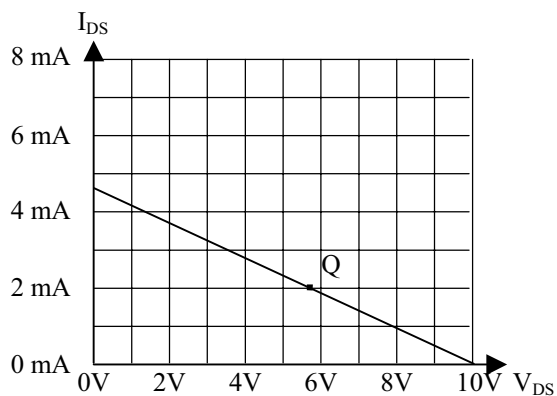
$$V_{DD} - I_{DS}R_D - V_{DS} - I_{DS}R_S = 0; \quad V_{DS} = V_{DD} - I_{DS}(R_D + R_S)$$

$$V_{DS} = 10V - 2(1k2 + 1k) = 10V - 4.4V = 5.6V$$

¿ $V_{DS} > V_{GS} - V_T$? $\rightarrow 5.6V > 4V - 2V \rightarrow$ Saturado

$V_{GS} =$ 4V $I_{DS} =$ 2mA $V_{DS} =$ 5.6V

B) Dibujar la recta de carga estática y el punto Q de trabajo del apartado A. [0.4p]



$$I_{DSmax} = \frac{V_{DD}}{R_D + R_S} = \frac{10V}{1k2 + 1k} = 4.54mA$$

C) Se rediseñan los valores de todas las resistencias del circuito anterior. Completar la siguiente tabla, sabiendo que en este caso el transistor se encuentra en saturación. [0.8p]

R_1	5k
R_2	5k
R_D	12k
R_S	4k
V_G	5V
V_{GS}	3V
I_{DS}	0.5mA
V_{DS}	2V

$$V_G = \frac{R_2}{R_1 + R_2} \times V_{DD} = \frac{5k}{10k} \times 10V = 5V$$

$$0.5 = 0.5 (V_{GS} - 2V)^2; \quad \pm 1 = V_{GS} - 2V; \quad V_{GS} = \begin{cases} 1V < V_T \\ 3V > V_T \end{cases}$$

$$V_G - V_{GS} - I_{DS} R_S = 0; \quad 5V - 3V - 0.5R_S = 0; \quad R_S = 4k$$

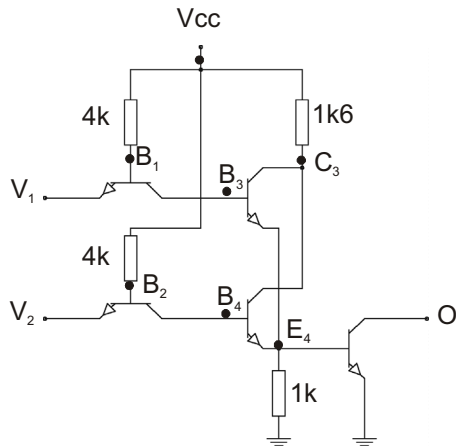
$$V_{DD} - I_{DS}R_D - V_{DS} - I_{DS}R_S = 0;$$

$$10V - 0.5mA \times R_D - 2V - 0.5mA \times 4k\Omega = 0; \quad R_D = 6V / 0.5mA = 12k$$

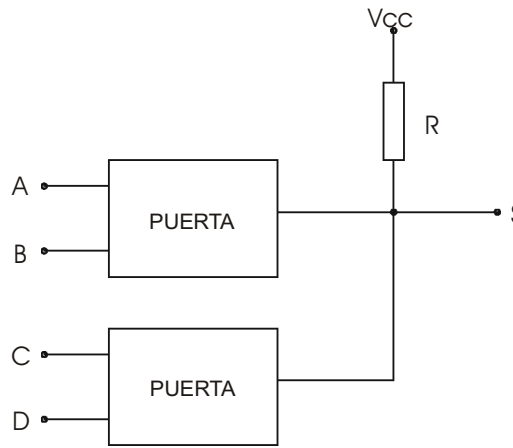
Problema 2 (2 Puntos) Apellidos: _____ Nombre: _____

(Incluya los cálculos realizados en la parte trasera de esta hoja ó en hojas adjuntas)

Dados los circuitos de la figura:



Puerta Lógica



Circuito Combinacional

Datos:

- $V_{BE(on)} = 0.7V$
- $V_{CE(sat)} = 0.2V$

Nota: Los transistores **NO** trabajan en activa directa

A)

- ¿A qué familia pertenece y que tipo de salida tiene la puerta lógica? [0.1p]

TTL	Salida en colector abierto.
-----	-----------------------------

- ¿Qué tipo de función lógica realiza la puerta lógica? [0.1p]

NOR

- ¿Qué función lógica f realiza el circuito combinacional $S=f(A,B,C,D)$? [0.2p]

$\overline{A + B * C + D}$

B) Sabiendo que $V_1=5V$, $V_2=0.2V$, y que $V_{cc}=5V$. Rellena la tabla de tensiones [0.3p] y calcula las corrientes que atraviesan la resistencias de 1k6 y 1k. [0.3p]

Punto	B ₁	B ₂	B ₃	B ₄	C ₃	E ₄
Tensión	2.1	0.9	1.4	0.4	0.9	0.7

Resistencia	1K6	1K
Corriente	$\frac{5 - 0.9}{1K6} = 2,56mA$	$\frac{0.7 - 0}{1K} = 0,7mA$

C) Considerando las especificaciones de la puerta a nivel bajo, calcula el número de entradas como las de la puerta que se pueden conectar al punto S del circuito combinacional. [1p]

Datos de la puerta:

$I_{IL(max)}$	$I_{OL(max)}$	$V_{OL(max)}$	$V_{IL(max)}$
-1.6mA	20mA	0.2V	0.8V

Resistencia de pull-up: $R=1k$

Para calcular el número máximo de **entradas** que se pueden conectar a nivel bajo debemos considerar el peor caso, es decir, solo uno de los transistores de salida está saturado.

$$|I_{OL}| \times I_1 + n \cdot |I_{IL}|$$

$$|I_{OL}| \times \frac{V_{CC} - 0.2}{1K} + n \cdot |I_{IL}|$$

$$|I_{OL}| - \frac{V_{CC} - 0.2}{1K} \times n \cdot |I_{IL}|$$

$$20\text{mA} - 4.8\text{mA} \times n \cdot 1.6\text{mA}$$

$$9.5 \times n$$

$$\text{Solución} \rightarrow n=9$$

