

Tema 5. Familias CMOS

- Introducción
- Puertas lógicas
- Parámetros característicos
- Subfamilias CMOS
- Compatibilidad entre familias

Bibliografía

- Teoría

- * “Principios y aplicaciones digitales”. Malvino. Ed. Marcombo. 1993. Capítulo 7.
- * “Diseño Digital”. Wakerly. Ed. Prentice-Hall. 1999. Capítulo 3.
- * “Circuitos Electrónicos” Vol.4 (Digitales II). Merino. E.T.S.I.T. Madrid. Capítulo 7.
- * “Diseño Electrónico”. Savant. Ed. Addison-Wesley. 1992. Capítulo 15.
- * “Circuitos electrónicos. Análisis, simulación y diseño”. N. R. Malik. Prentice Hall. 1996. Capítulos 13 y 14.

- Problemas

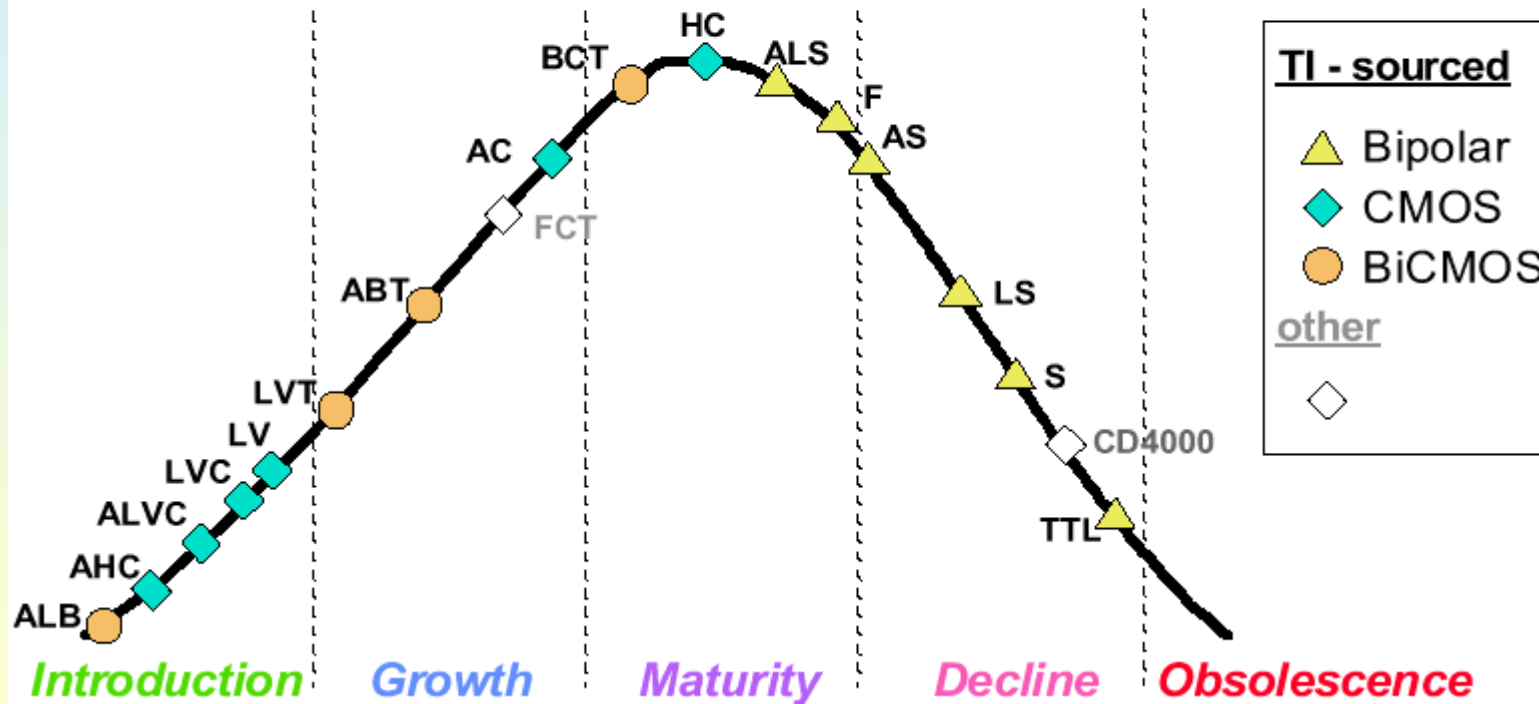
- * "Sistemas Digitales. Problemas". Pedro López y J.M. Martínez. U.P. Valencia. Capítulo 2.

1. Introducción

- CMOS: es la familia con mayor proyección de futuro
- Ambito de aplicación:
 - * La mayoría de los nuevos c.i LSI y VLSI: memorias y procesadores
 - * Comienza a suplir a la TTL en c.i SSI y MSI

Introducción

Product Life Cycle

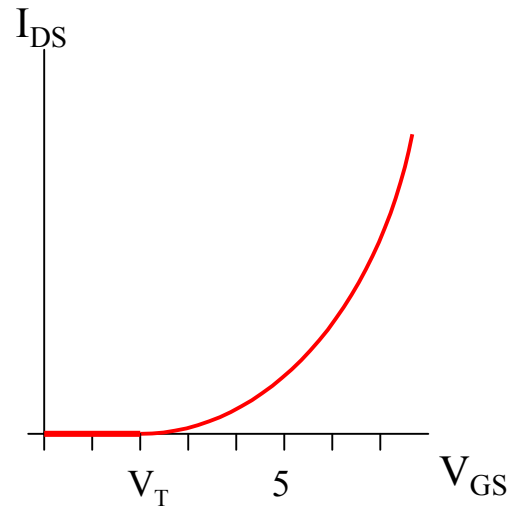
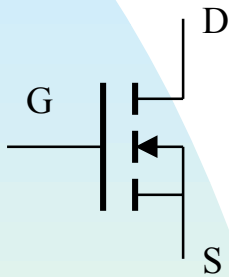


Introducción

- Características más relevantes
 - * Bajo consumo a frecuencias bajas y medias (adecuado para los equipos alimentados con baterías)
 - * Excelente inmunidad al ruido
 - * Tensión de alimentación que puede variar
 - * Velocidad en continua mejora

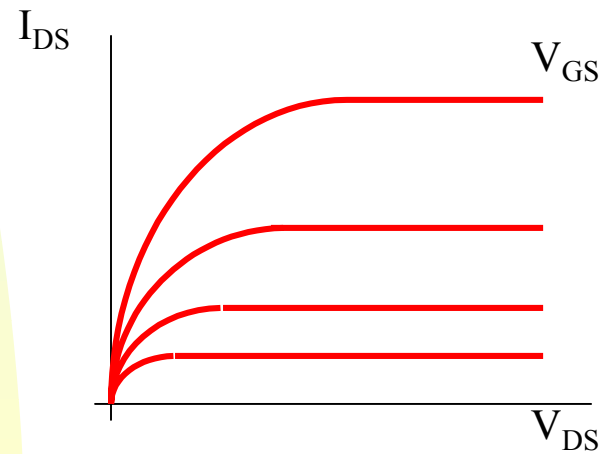
2 Puertas lógicas, repaso NMOS

NMOS



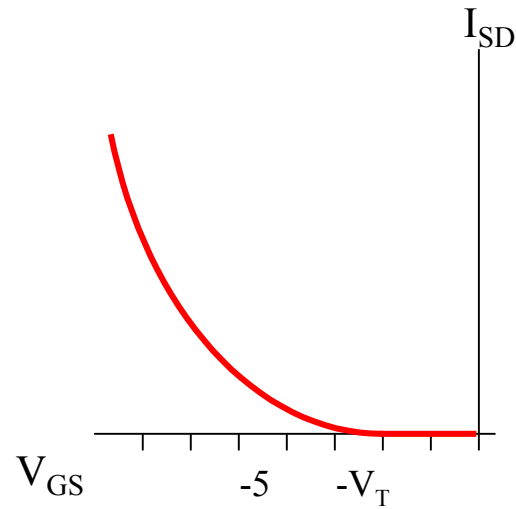
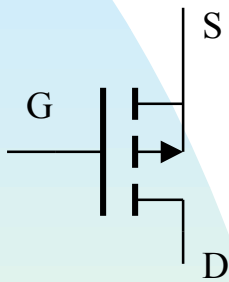
Si $V_{GS} > V_T \Rightarrow$ Conduce

Si $V_{GS} \leq V_T \Rightarrow$ No Conduce



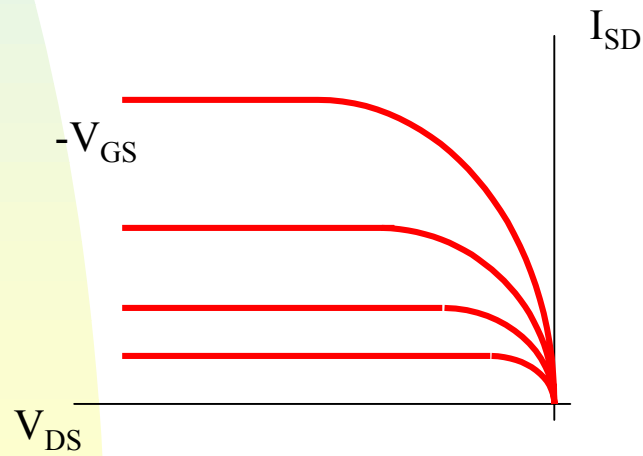
2 Puertas lógicas, repaso PMOS

PMOS

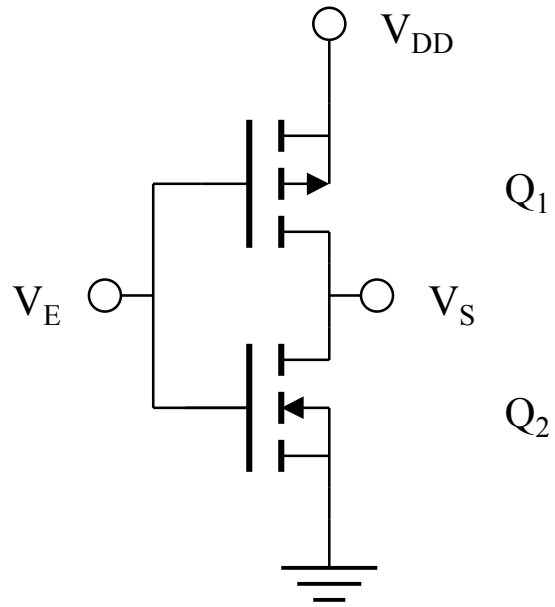


Si $V_{GS} < -V_T \Rightarrow$ Conduce

Si $V_{GS} \geq -V_T \Rightarrow$ No Conduce

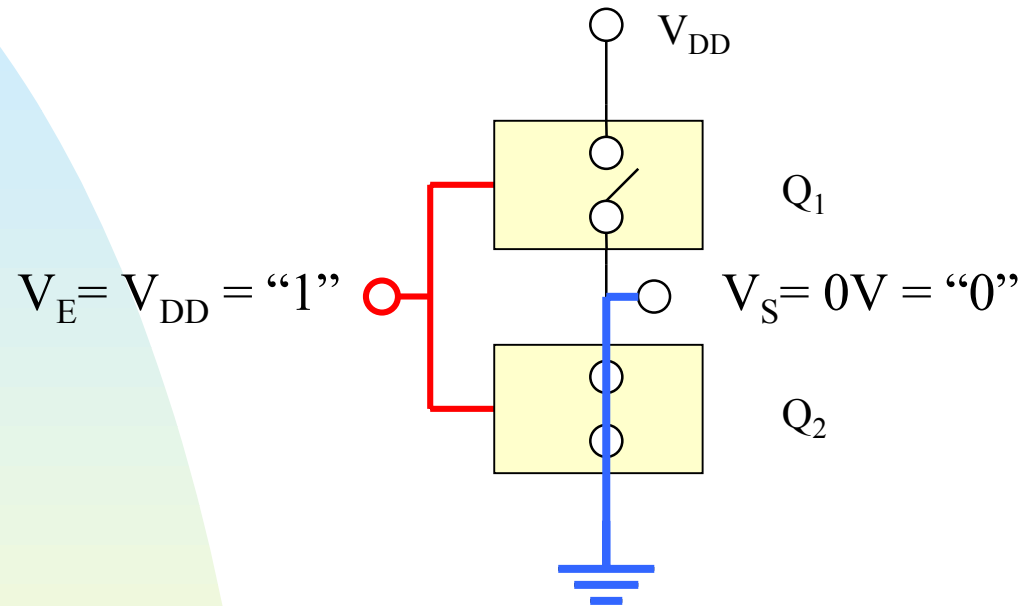


Inversor



Entrada digital: $V_E = 0V = \text{“0”}$ $V_E = V_{DD} = \text{“1”}$

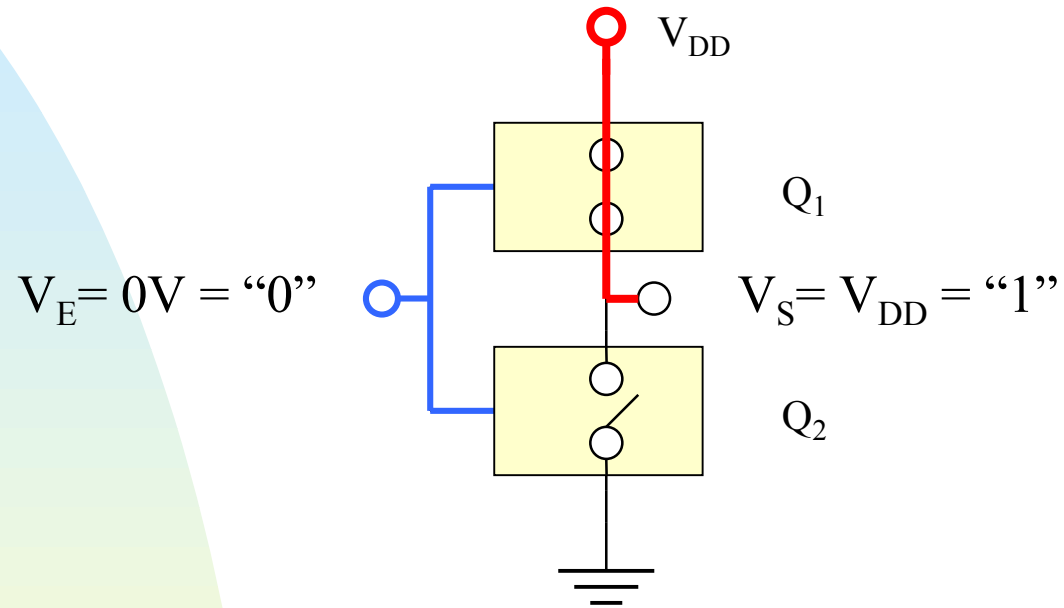
Inversor



$V_{GS1} = 0V \Rightarrow$ PMOS cortado

$V_{GS2} = V_{DD} \Rightarrow$ NMOS conduce

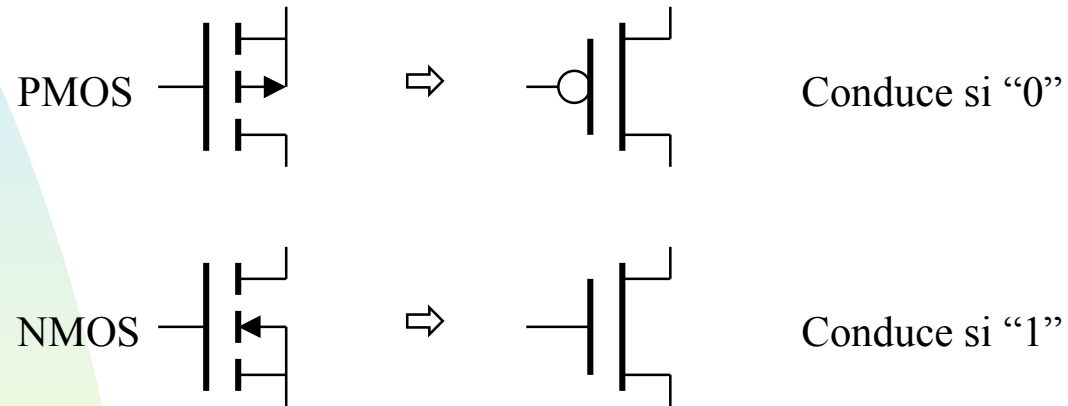
Inversor



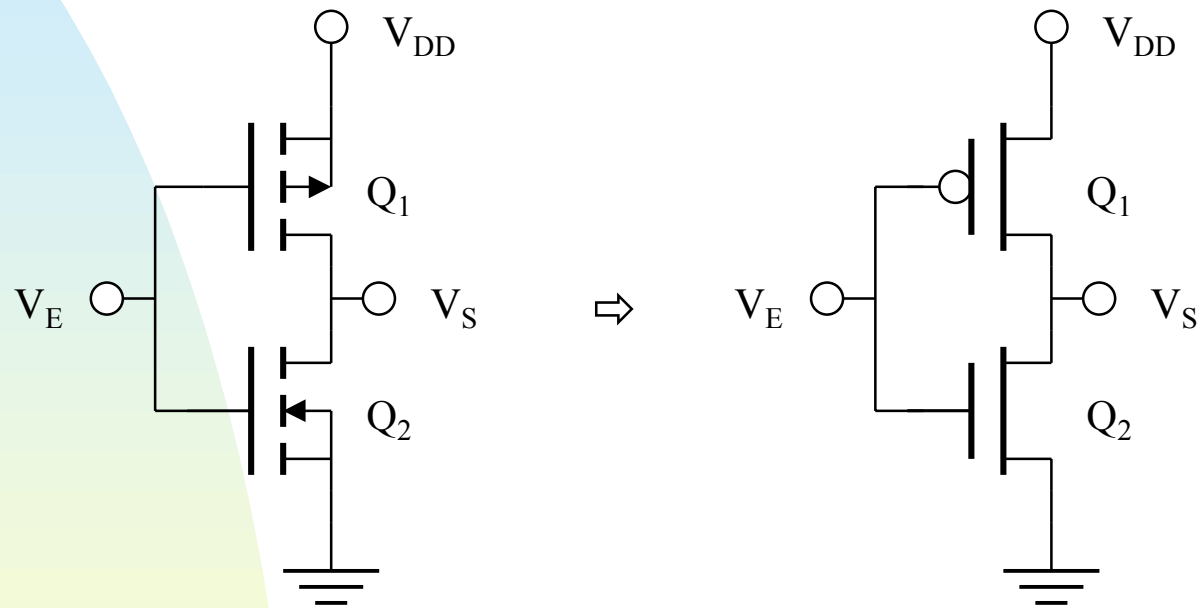
$V_{GS1} = -V_{DD} \Rightarrow$ PMOS conduce

$V_{GS2} = 0V \Rightarrow$ NMOS cortado

Nomenclatura

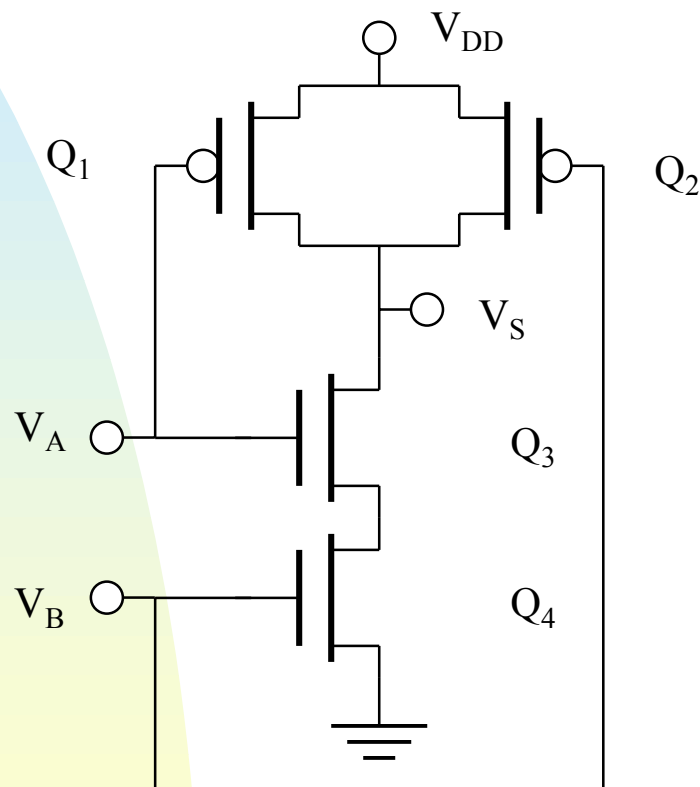


Nomenclatura



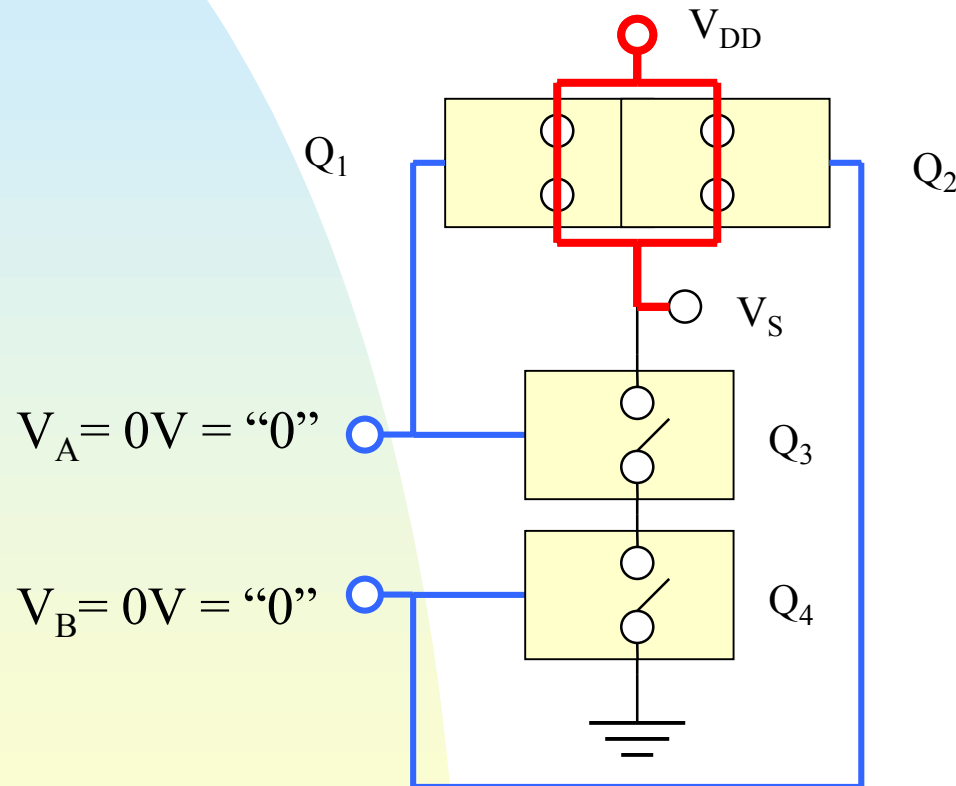
NAND CMOS

Estructura: transistores PMOS en paralelo y NMOS en serie



NAND CMOS

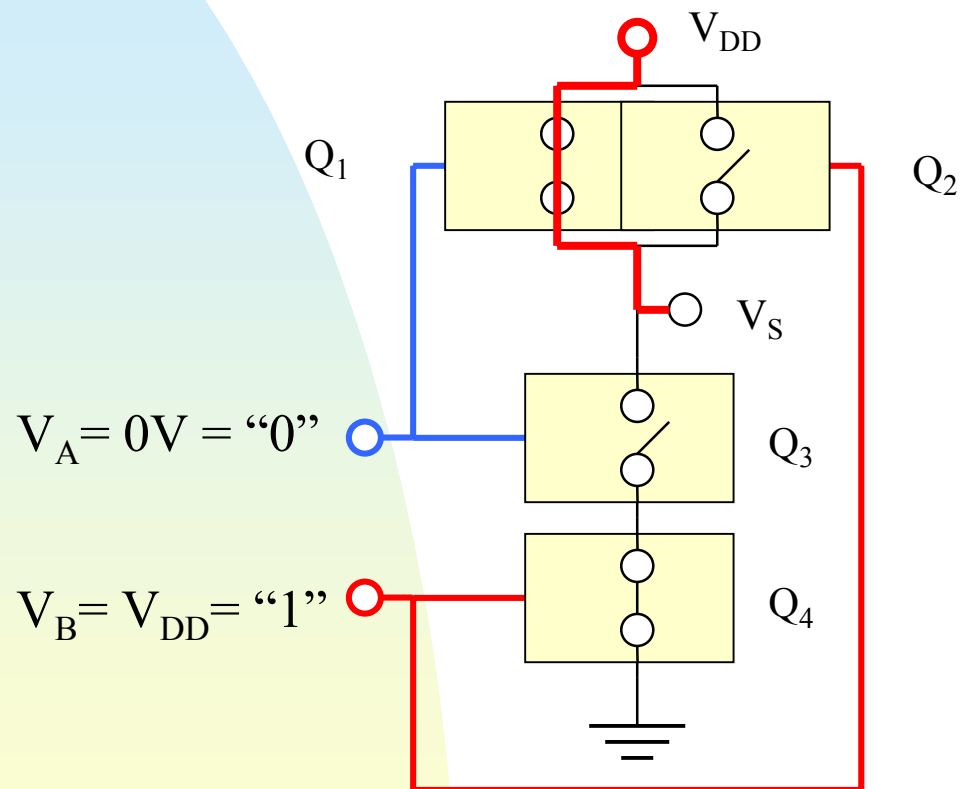
Estructura: transistores PMOS en paralelo y NMOS en serie



V_A	V_B	V_S
0V	0V	V_{DD}
0V	V_{DD}	V_{DD}
V_{DD}	0V	V_{DD}
V_{DD}	V_{DD}	0V

NAND CMOS

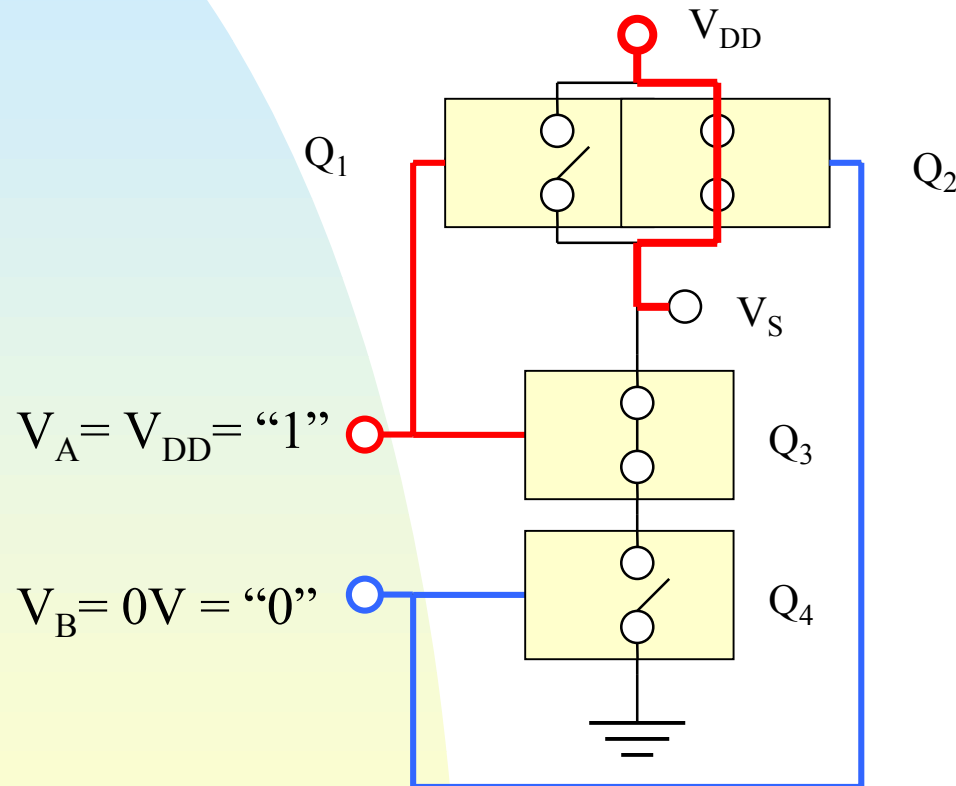
Estructura: transistores PMOS en paralelo y NMOS en serie



V_A	V_B	V_S
0V	0V	V_{DD}
0V	V_{DD}	V_{DD}
V_{DD}	0V	V_{DD}
V_{DD}	V_{DD}	0V

NAND CMOS

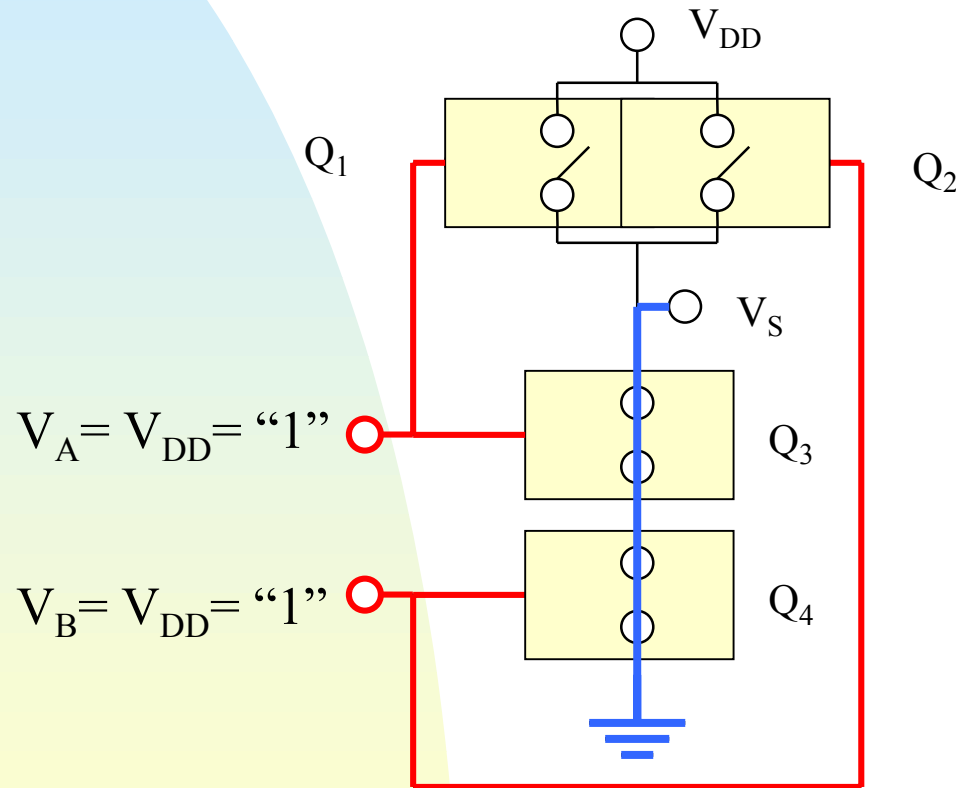
Estructura: transistores PMOS en paralelo y NMOS en serie



V_A	V_B	V_S
0V	0V	V_{DD}
0V	V_{DD}	V_{DD}
V_{DD}	0V	V_{DD}
V_{DD}	V_{DD}	0V

NAND CMOS

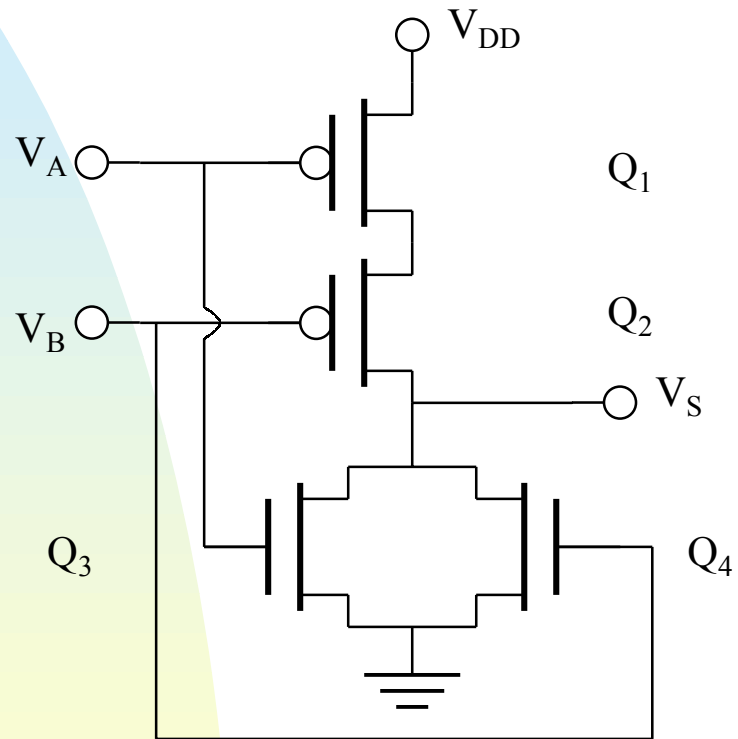
Estructura: transistores PMOS en paralelo y NMOS en serie



V_A	V_B	V_S
0V	0V	V_{DD}
0V	V_{DD}	V_{DD}
V_{DD}	0V	V_{DD}
V_{DD}	V_{DD}	0V

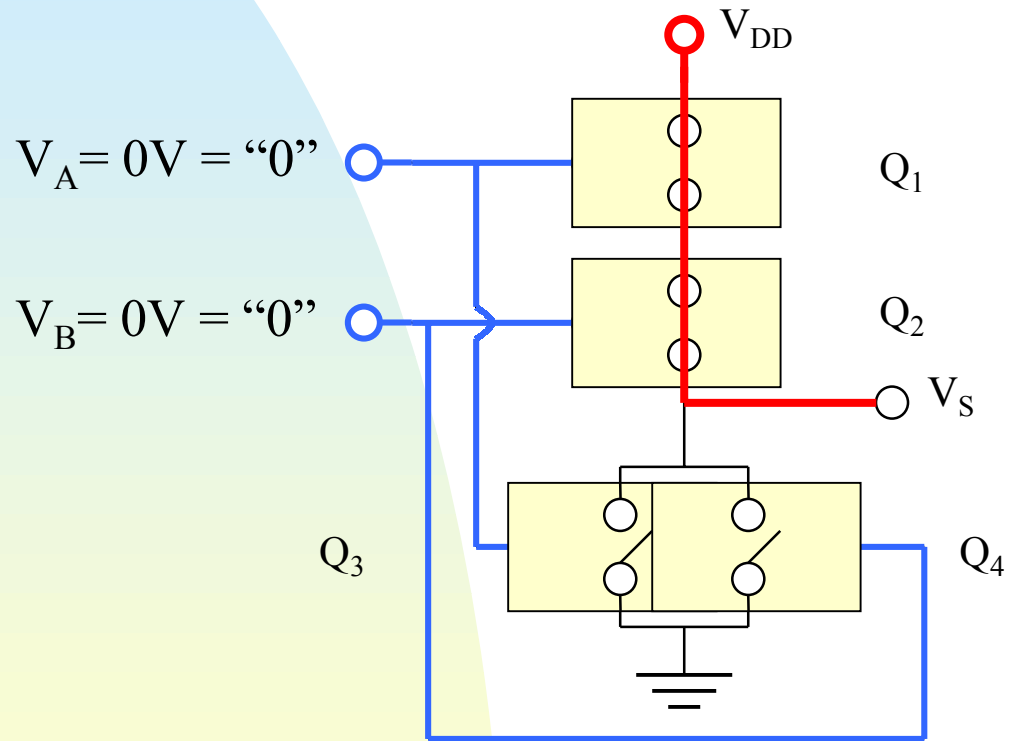
NOR CMOS

Estructura: transistores NMOS en paralelo y PMOS en serie



NOR CMOS

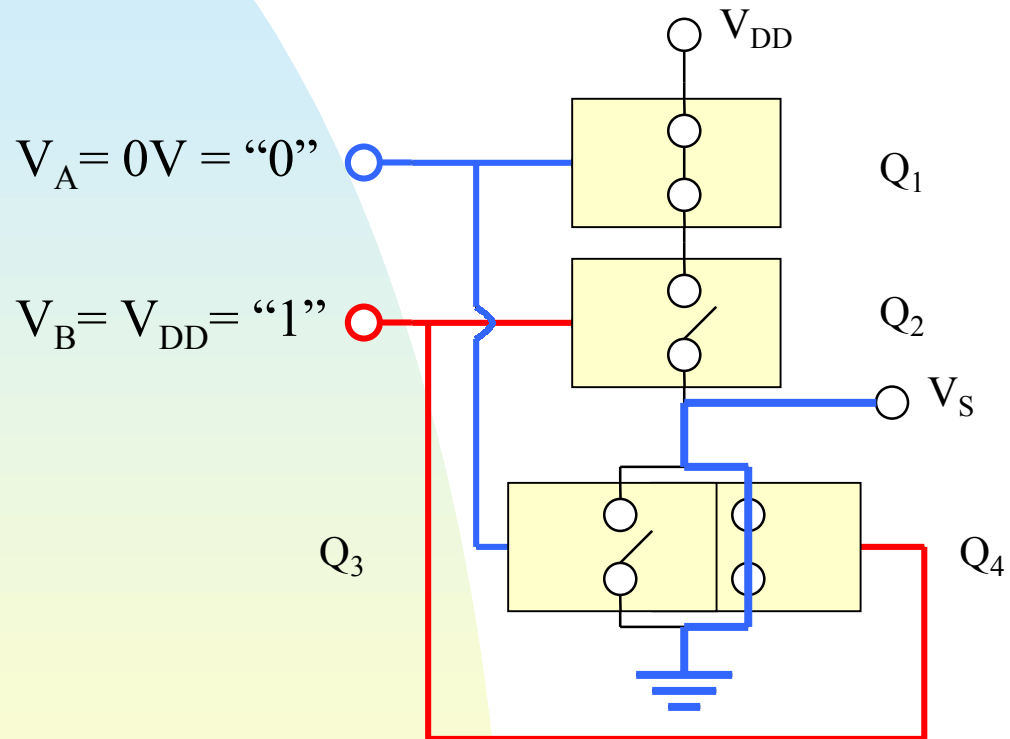
Estructura: transistores NMOS en paralelo y PMOS en serie



V_A	V_B	V_S
0V	0V	V_{DD}
0V	V_{DD}	0V
V_{DD}	0V	0V
V_{DD}	V_{DD}	0V

NOR CMOS

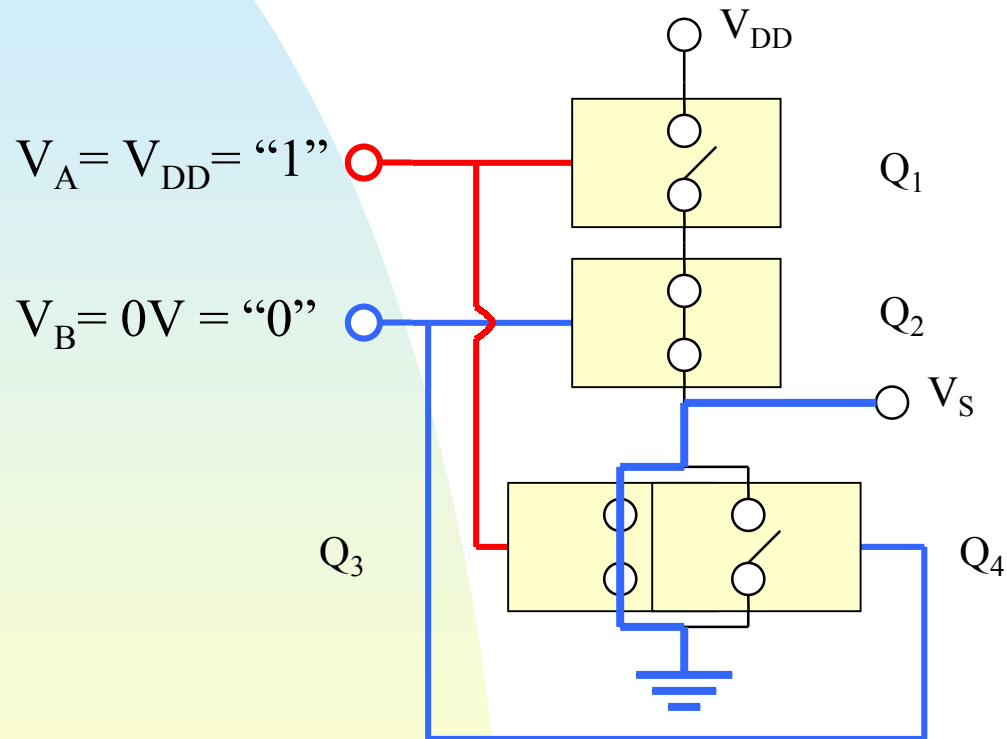
Estructura: transistores NMOS en paralelo y PMOS en serie



V_A	V_B	V_S
0V	0V	V_{DD}
0V	V_{DD}	0V
V_{DD}	0V	0V
V_{DD}	V_{DD}	0V

NOR CMOS

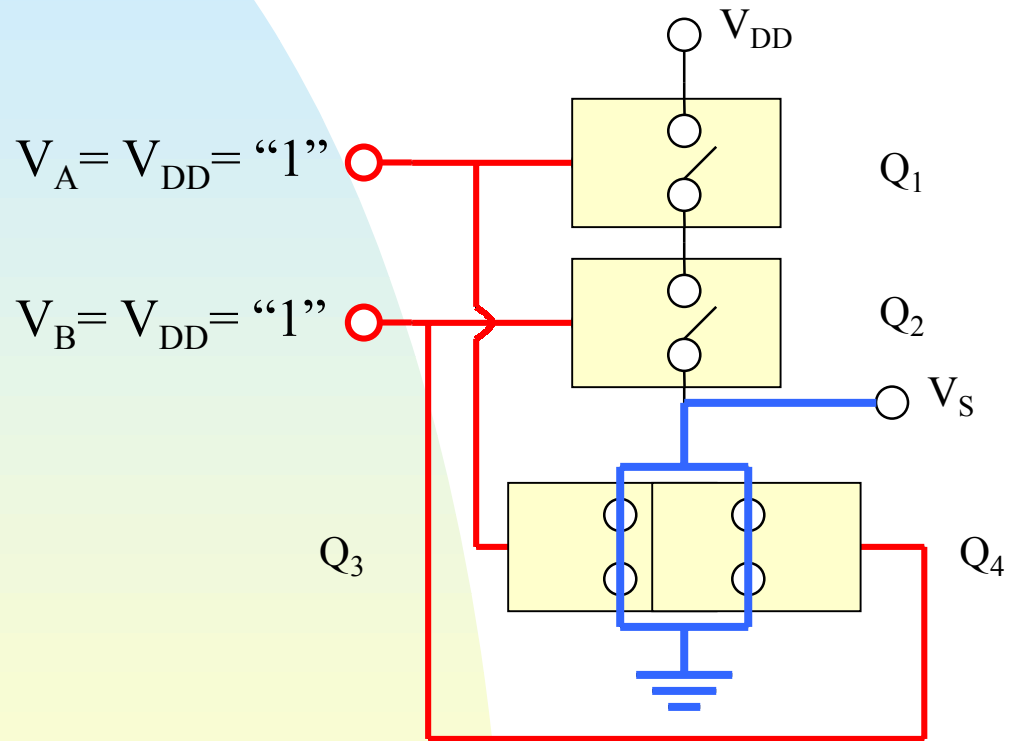
Estructura: transistores NMOS en paralelo y PMOS en serie



V_A	V_B	V_S
0V	0V	V_{DD}
0V	V_{DD}	0V
V_{DD}	0V	0V
V_{DD}	V_{DD}	0V

NOR CMOS

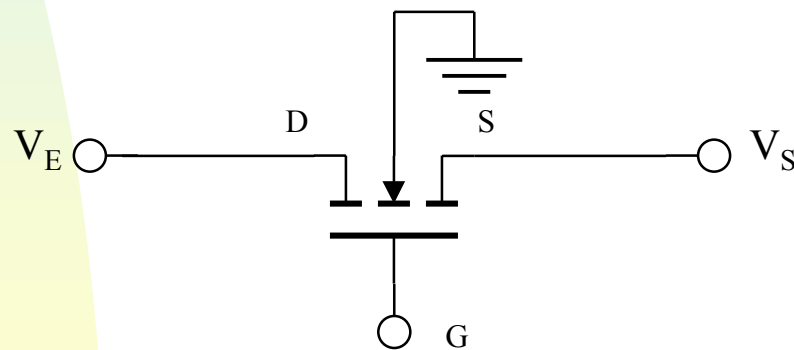
Estructura: transistores NMOS en paralelo y PMOS en serie



V_A	V_B	V_S
0V	0V	V_{DD}
0V	V_{DD}	0V
V_{DD}	0V	0V
V_{DD}	V_{DD}	0V

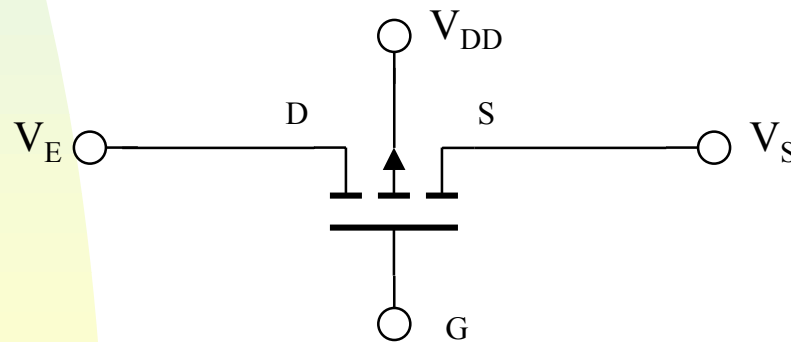
2.4 Puerta de transmisión (1) NMOS

- Interruptor bidireccional que se abre o cierra controlado por una señal externa
 - * Puerta de transmisión NMOS
 - Si $V_G = 0V \Rightarrow$ Interruptor abierto $\Rightarrow V_S = 0V$
 - Si $V_G = V_{DD} \Rightarrow$ Interruptor cerrado
 - La transmisión del “1” se degrada V_T
 - La transmisión del “0” no se degrada



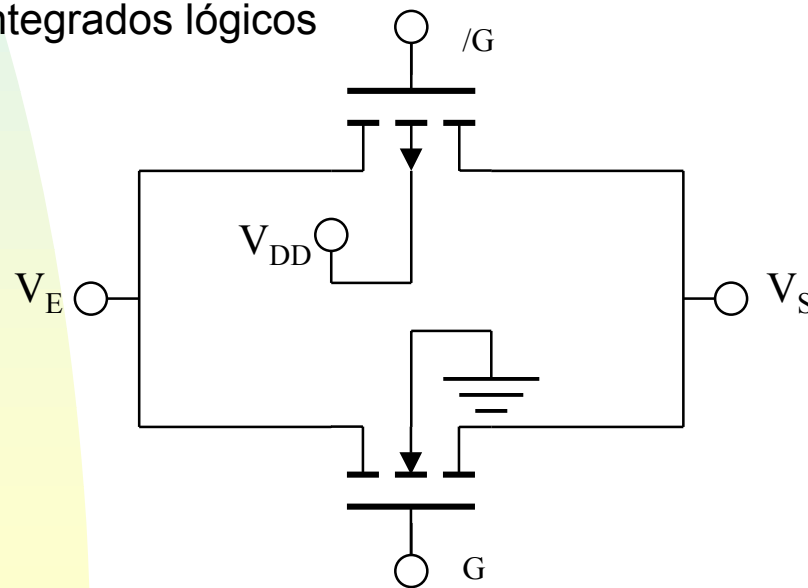
2.4 Puerta de transmisión (2) PMOS

- * Puerta de transmisión PMOS
 - Si $V_G = V_{DD} \Rightarrow$ Interruptor abierto $\Rightarrow V_S = 0V$
 - Si $V_G = 0V \Rightarrow$ Interruptor cerrado
 - La transmisión del “1” no se degrada
 - La transmisión del “0” se degrada V_T



2.4 Puerta de transmisión (3) CMOS

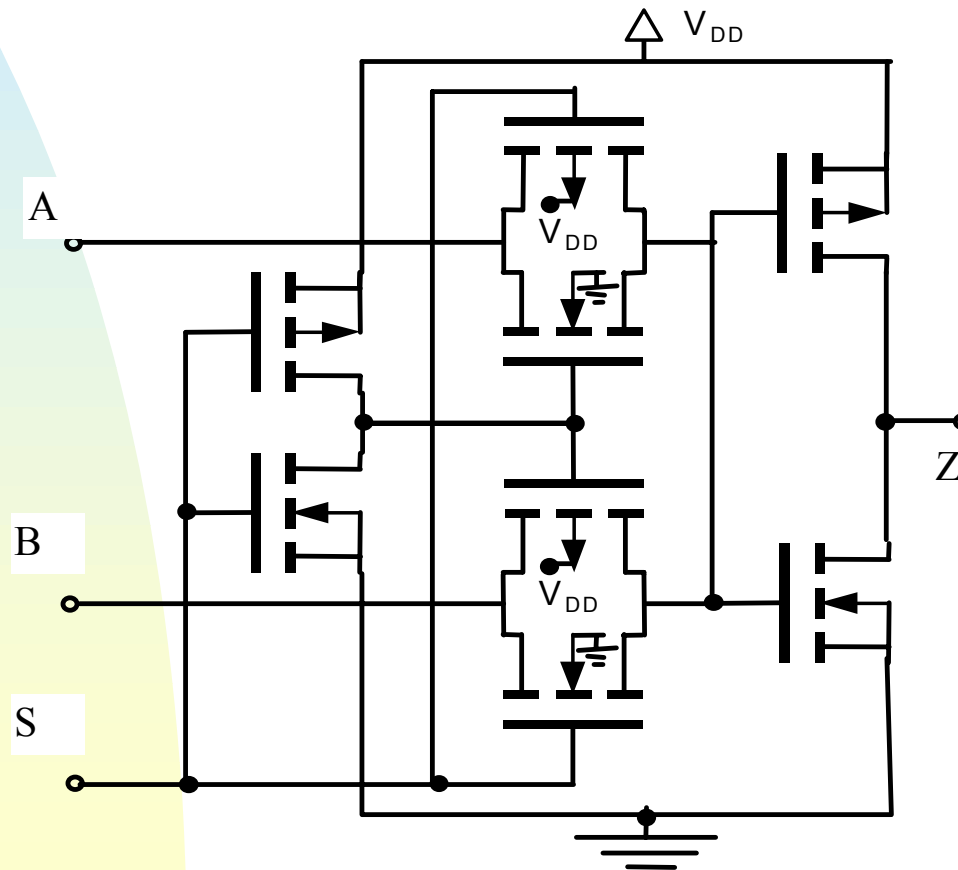
- * Reúne las características de paso de ambas puertas, no degrada la salida
 - Si $V_G = 0V \Rightarrow$ PMOS y NMOS cortados $\Rightarrow V_S = 0V$
 - Si $V_G = V_{DD} \Rightarrow$ PMOS y NMOS conducen
 - El NMOS transmite el “0” sin degradación
 - El PMOS transmite el “1” sin degradación
 - La puerta de transmisión CMOS se emplea mucho en circuitos integrados lógicos



2.4 Puerta de transmisión (4) Ejemplo

- Multiplexor

- * Entradas X, Y, selección S, salida Z



3. Parámetros característicos

- 3.1 Tensión de alimentación
 - * V_{DD} entre 3V y 18V
- 3.2 Consumo
 - * Régimen estático: prácticamente nulo ($\approx nA$), siempre hay un transistor cortado (PMOS o NMOS)

Alimentación	5V	10V	15V
Puertas	5nA	5nA	7nA
Biestables	10nA	20nA	30nA
Contadores	100nA	100nA	150nA

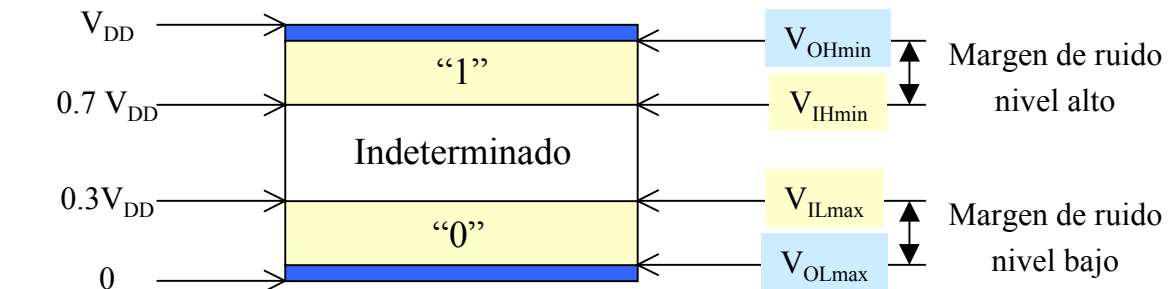
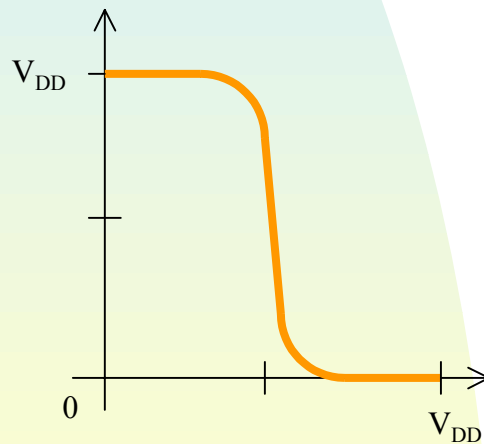
3. Parámetros característicos (2)

- * Dinámico: $P_d = (V_{DD})^2 C_L f$
 - donde C_L = capacidad de carga
 - f = frecuencia
 - Es debido a picos de corriente durante las transiciones: los dos transistores (PMOS y NMOS) conducen.
 - Supone el 99% de la potencia consumida por la fuente

3. Parámetros característicos (3)

- Niveles lógicos. Inmunidad al ruido
 - * Curva de transferencia muy ideal

Tensión de salida



$$V_{OHmin} = V_{DD} - 0.1V$$

$$V_{OLmax} = 0.1V$$

$$NM \approx 30\% V_{DD}$$

Excelente inmunidad (aumenta con V_{DD})

3. Parámetros característicos (4)

- Niveles de corriente. FAN-OUT

I_{OH}	-0.5 mA	Corriente salida nivel alto	sale
I_{OL}	0.5 mA	Corriente salida nivel bajo	entra
I_{IH}	10 pA	Corriente entrada nivel alto	entra
I_{IL}	-10 pA	Corriente entrada nivel bajo	sale

- * Corrientes de entrada muy pequeñas \Rightarrow a una sola salida se le pueden conectar muchas entradas

$$Fan - Out_L = \left| \frac{I_{OL}}{I_{IL}} \right| = 50.000.000 \quad Fan - Out_H = \left| \frac{I_{OH}}{I_{IH}} \right| = 50.000.000$$

- * Restricción real para no incrementar los tiempos de retardo: el fabricante recomienda Fan-out = 50

3. Parámetros característicos (5)

- 3.5 Retardos de propagación
 - * $t_{p_{HL}} = t_{p_{LH}}$ de 25 a 100nS, dependiendo de V_{DD} y C_L
 - * Cada vez más rápidas, con retardos similares a TTL
- 3.6 Producto Consumo x Retardo de propagación
 - * $P \times t_p \approx 11 \text{ pJ}$, bastante bajo debido al bajo consumo, a costa de un pequeño incremento de los retardos de propagación

4. Subfamilias CMOS

- * **CD 4XXX** : familia original
 - 4XXXA : convencional
 - 4XXXB : con buffer de salida
- * **74CXXX**: CMOS compatible funcionalmente (patillas y funciones)
- * **74HCXXX**: CMOS de alta velocidad
- * **74HCTXXX**: CMOS de alta velocidad con entradas TTL
- * **74ACXXX**: CMOS avanzada
- * **74ACTXXX**: CMOS avanzada con entradas TTL
- * **BCT**: BiCMOS (Bipolar-CMOS)
- * **ABT**: BiCMOS avanzada

4. Subfamilias CMOS (2)

	TTL	TTL-LS	CMOS	HC	HCT	AC	ACT	BCT	ABT	
Alimentación	5±5%	5±5%	3..16	3..16	5±10%	3..16	5±10%	5±10%	5±10%	Voltios
Consumo	10	2	0.1	0.17	0.2	0.3	0.3	1.6	1.6	mW
Inmun. al ruido	15	15	30	19	15	29	15	15	15	% Alim. Voltios
Regardo de propag. Fan-Out	10	9.5	25	8	9	3.5	3.5	3	3	nS
Consumo X Retardo	100	20	11	1.4	1.8	1	1	4.8	4.8	puertas pJ

5. Compatibilidad entre familias

- Posibles problemas de acoplo entre familias debido a
 - * Diferentes tensiones de alimentación
 - * Diferentes niveles lógicos
 - * Corrientes de entrada y salida incompatibles

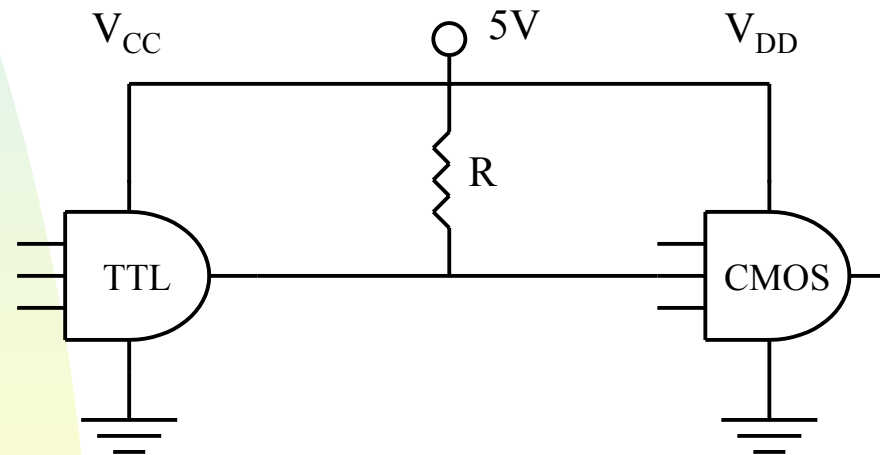
	V_{IH}	V_{IL}	V_{OH}	V_{OL}	I_{IL}	I_{IH}	I_{OL}	I_{OH}
TTL Std.	2 V	0.8 V	2.4 V	0.4 V	-1.6 mA	40 μ A	16 mA	-400 μ A
CMOS 4000	3.5 V	1.5 V	4.9 V	0.1 V	-10 pA	10 pA	0.5 mA	-0.5 mA

- Requerimientos:

$ I_{OHmax} > n I_{IHmax} $
$ I_{OLmax} > n I_{ILmax} $
$V_{OLmax} < V_{ILmax}$
$V_{OHmin} > V_{IHmin}$

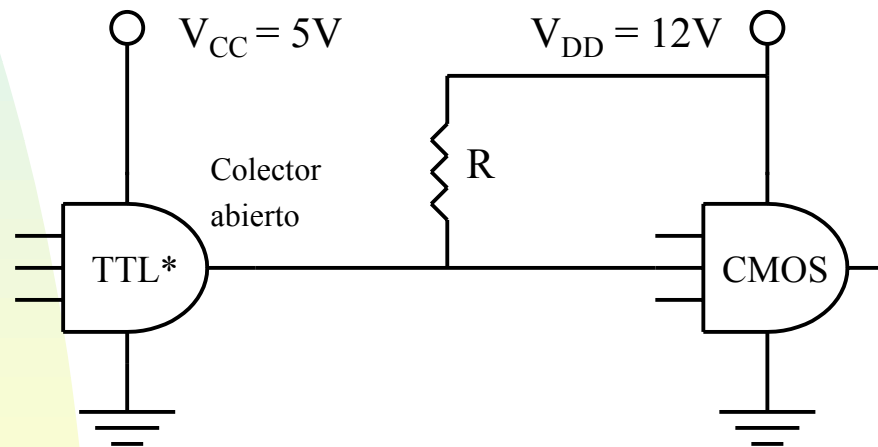
5.1 Conexión TTL-CMOS

- La condición $V_{OHmin\ TTL} > V_{IHmin\ CMOS}$ no se cumple
 - * **Solución 1** (para tensión de alimentación = 5V para ambos)
 - * Se añade resistencia de **pull-up** para elevar la tensión de salida de TTL (valores típicos de 2K a 6K)



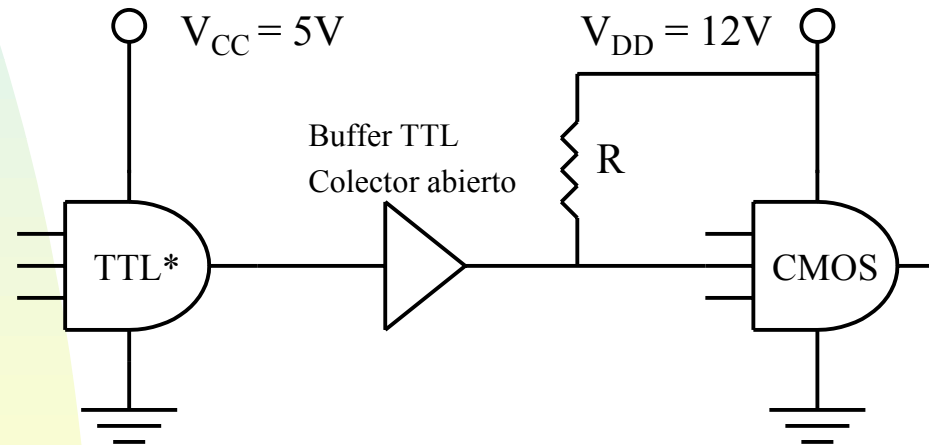
5.1 Conexión TTL-CMOS (2)

- * Solución 2 (tensión de alimentación distinta)
- * Puerta TTL con salida en colector abierto:



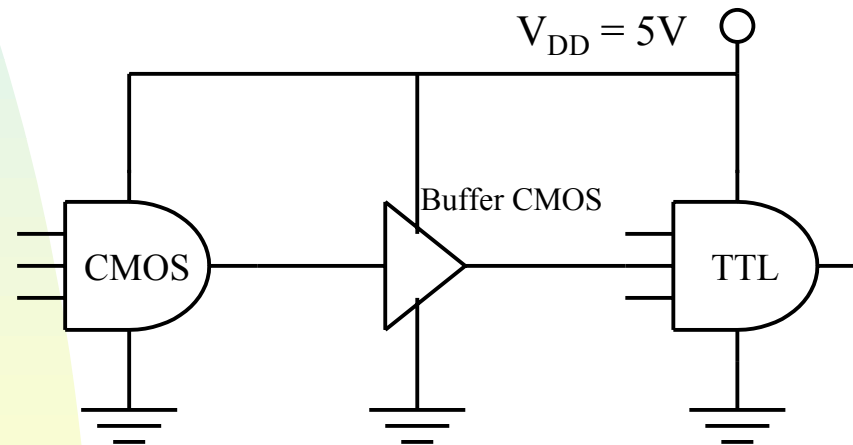
5.1 Conexión TTL-CMOS (3)

- * Solución 2 (tensión de alimentación distinta), caso 2,
- * Puerta TTL sin salida en colector abierto:



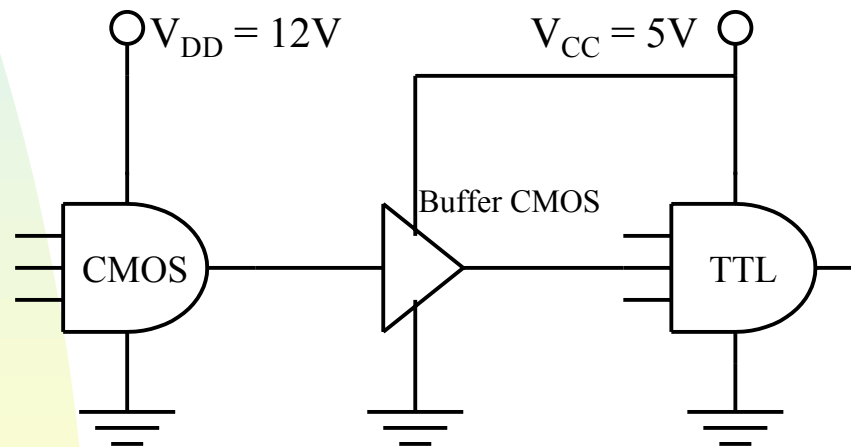
5.2 Conexión CMOS-TTL

- La condición $| I_{OL \max \text{ CMOS}} | > n | I_{IL \max \text{ TTL}} |$ no se cumple
 - * **Solución 1** (tensión de alimentación = 5 V para ambos)
 - * Utilizar buffers para incrementar la corriente de salida



5.2 Conexión CMOS-TTL (2)

- * Solución 2 (tensión de alimentación distinta)
- * Buffer alimentado a la tensión de la puerta TTL (5V)



5.2 Conexión CMOS-TTL (3)

- * Solución 3 (tensión de alimentación distinta)
- * Buffer CMOS de drenador abierto alimentado a la tensión de la puerta CMOS

